

# DT98BOA

## Controlador de interfaz paralelo programable PPIC 8255



Este documento se encuentra almacenado en la dirección <http://web.jet.es/emmanuel>  
Visite la localización para obtener la última revisión.

© Mario Emmanuel 1998.

El documento puede distribuirse de modo íntegro. Prohibida su distribución parcial o alterada.

## Controlador de interfaz paralelo programable PPIC 8255

### Introducción

Uno de los integrados universalmente usados en sistemas basados en microprocesadores es sin duda el 8255. Este circuito fue inicialmente diseñado por *Intel Corporation* como parte del juego de integrados de apoyo a sus primeros sistemas de 16 bits (8086 y 8088). El *chipset* incluía numerosos dispositivos tales como controladores serie, controlador de CRT, gestores de acceso directo a memoria, controladores de unidades de disco, etc. La fuerte evolución en el diseño de computadoras ha convertido a gran parte del *chipset* del 8086 en piezas de museo debido a que muchas de las funciones no tienen hoy día utilidad alguna (carece de sentido emplear viejos controladores de CRT o disco). Sin embargo existen una serie de componentes que conservan todavía hoy, después de veinte años, toda su utilidad. En concreto nos estamos refiriendo a la UART 8251 y al controlador de interfaz paralelo PPI 8255. En este artículo trataremos el 8255, un versátil y económico integrado de fácil conexión a cualquier sistema basado en microprocesador o microcontrolador, que proporciona de un modo elegante y sencillo puertos E/S disponibles.

La opción más correcta sería emplear estos dispositivos en un sistema basado en un 8086/8088 (actualmente manufacturados en versiones CMOS de bajo consumo y alta velocidad por *OKI Semiconductor Corp.*), si bien dada su versatilidad pueden ser empleados por cualquier otro sistema.

Entre las aplicaciones actuales podemos comprobar como el 8255 se encuentra con facilidad en tarjetas de expansión de puertos para el bus ISA del PC, ya que simplifica enormemente la elaboración de la placa de circuito impreso aportando suficiente potencia de control. Es también ideal para expansión de puertos E/S en monoplacas o gestión de periféricos como conversores analógico/digital y otros.

### Arquitectura del 8255

El 8255 se encapsula en formato DIP de 40 terminales como es habitual en los controladores del *chipset* 8086. Existen cinco grupos de señales, además de los dos terminales de alimentación:

- Grupo de control
- Bus de datos
- Puerto A
- Puerto B
- Puerto C

Los terminales del dispositivo se distribuyen del siguiente modo:

Pin	Descripción
37,38,39,40,1,2,3,4	Puerto A PA7...PA0
25...18	Puerto B PB7...PBO
10...13	Puerto C alto PC7...PC4
17...14	Puerto C bajo PC3...PC0
27...34	Bus de datos D7...D0
26	Alimentación +5V Vcc
7	Tierra Gnd
35	Señal de reinicio Reset
36	Validación de escritura /WR
5	Peticion de lectura /RD
6	Selección de chip /CS
8,9	Selección de registro A1,A0

Podemos observar el diagrama interno del dispositivo en la figura adjunta.

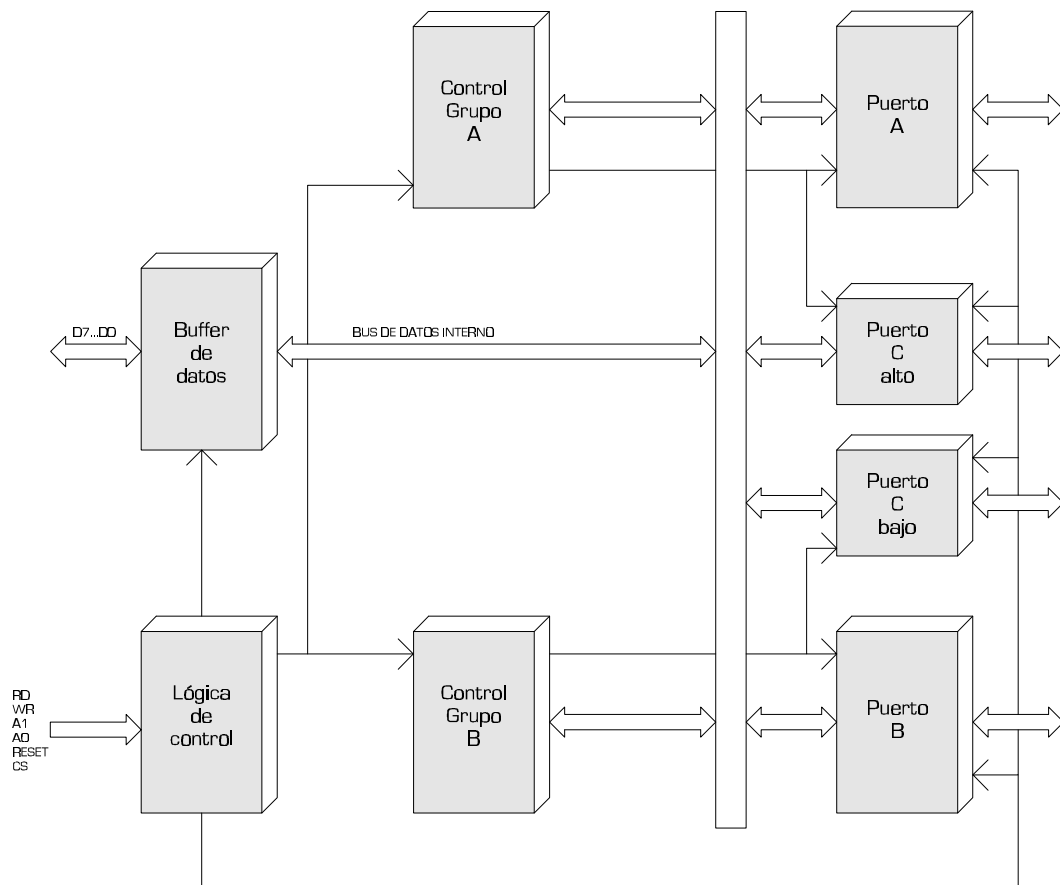


Figura 1

Básicamente se trata de tres puertos (A,B,C) de ocho bits, encontrándose el puerto C dividido en dos puertos de cuatro bits. Estos cuatro puertos formados (dos de ocho bits y dos de cuatro) se organizan en dos grupos de 12 bits. Cada grupo contiene un puerto de ocho bits y otro de cuatro.

El primer grupo comprende el puerto A y la parte alta del puerto C mientras que el segundo comprende el puerto B y la parte baja del puerto C.

- *Grupo A:* PA0..PA7 + PA4..PA7
- *Grupo B:* PB0..PB7 + PA0..PA3

Estos grupos pueden operar en tres modos de funcionamiento diferentes:

- *Modo 0:* Tres puertos de cuatro bits programables como entrada o salida.
- *Modo 1:* Un puerto de ocho bits programable como entrada o salida y un puerto de cuatro bits de control.
- *Modo 2:* Este modo configura al puerto A como un puerto bidireccional dejando los cinco bits mas significativos del puerto C (PC3...PC7 nótese que emplea por tanto más de un grupo) como líneas de control del puerto.

Estos modos de operación se definen mediante un octeto de estado del que hablaremos a continuación.

Para acceder tanto al octeto de estado como a los puertos en sí debemos hacer uso de las señales de control del 8255. Estas señales son las habituales en el chipset del 8086, y pasamos a continuación a describirlas:

- *Dx:* Bus de datos bidireccional con estado de alta impedancia. Conecta el dispositivo con el bus de datos del microprocesador.
- *CS:* Señal *chip select*. Cualquier operación sobre el chip requiere un nivel bajo en esta señal. Usualmente se compara la dirección emitida por el microprocesador mediante lógica externa y si dicha dirección corresponde con el rango asignado por el diseñador al periférico la lógica comparadora de dirección pondrá a cero esta línea. Mientras esta línea se encuentre alta el bus de datos D7...D0 se encuentra en un estado de alta impedancia para permitir que otros periféricos hagan uso del bus del microprocesador.
- *RD:* Señal de lectura. Un valor bajo en esta señal dispondrá en el bus de datos bidireccional D7..D0 el valor del puerto indicado por las dos líneas de dirección A1 y A0.
- *WR:* Señal de escritura. Un valor bajo escribirá el octeto presente en el bus de datos en el registro/puerto indicado por A1 y A0.

- *A1 y A0*: Selección de registro:
 

00	Puerto A
01	Puerto B
10	Puerto C
11	Octeto de control

### Acceso al registro de control

Hemos visto hasta ahora los diferentes puertos que existen y los modos de configurarlos. Sabemos también que esto se realiza por medio del octeto de control (para ello realizamos una operación de escritura sobre él, no siendo posible su lectura). Veremos a continuación la descripción completa de dicho octeto:

- *Bit 0*: Puerto C bajo (1=Entrada, 0=Salida)
- *Bit 1*: Puerto B (1=Entrada, 0=Salida)
- *Bit 2*: Selección modo grupo uno (0=Modo 0, 1=Modo 1)
- *Bit 3*: Puerto C alto (1=Entrada, 0=Salida)
- *Bit 4*: Puerto A (1=Entrada, 0=Salida)
- *Bit 5,6*: Selección modo grupo dos (00=Modo 0, 01=1, 1x= 2)
- *Bit 7*: Flag de modo a uno (1=Activo)

### Acceso individual al puerto C

El bit 7 a uno permite acceder al registro de control y configurar el modo de funcionamiento del periférico. Si a la hora de acceder a dicho registro ponemos a cero el bit 7 accedemos al control individual de las líneas de salida del puerto C. Los puertos A y B son leídos y escritos en bloques de cuatro u ocho bits según sea la configuración de los mismos, pero el puerto C permite un acceso individual sobre las líneas de salida del mismo:

- *Bit 0*: Valor de salida (1 ó 0)
- *Bit 3,2,1*: Selección de bit (000=bit 0, 001=bit 1 ... 111=bit 7)
- *Bit 4,5,6*: No influyen, cualquier valor.
- *Bit 7*: Flag de modo (0=Acceso al puerto C)

### Modo cero

El modo de funcionamiento 0 es el más simple posible. Los puertos se configuran como entrada y salidas. En el caso de que se configuren como salidas los datos se enclavan y permanecen invariables hasta la siguiente escritura. La lectura se realiza en el momento de efectuar la operación sobre el 8255. El dispositivo opera por tanto como si de un transceptor multiplexado con latch de salida se tratase.

### Modo uno

El modo de funcionamiento 1 puede emplearse en ambos grupos de pines. Proporciona un puerto de 8 bits y cuatro señales de control de cada mitad del puerto C que operan del siguiente modo en el caso de que se configure el puerto correspondiente como entrada:

- /STB*: Strobe Input  
PC4 grupo A/PC2 grupo B  
Cuando esta señal se pone a nivel bajo el dispositivo memoriza el estado del puerto de ocho bits. La siguiente operación de lectura RD sobre el 8255 por parte del microprocesador devolverá el estado del bus en el estado bajo de dicha señal. Permite efectuar por tanto lecturas del puerto de ocho bits de modo independiente del microprocesador que gestiona el 8255.
- IBF*: Input Buffer Full Flag Output  
PC5 grupo A/PC1 grupo B  
Esta señal responde a STB subiendo a uno cuando el dato ha quedado enclavado durante el flanco de bajada de un pulso en STB. Vuelve a nivel lógico cero en el flanco de subida de la señal de lectura RD.
- INTR*: Interrupt request output  
PC3 grupo A/PC0 grupo B  
Esta salida sube a nivel alto (si el bit INTE está activado) en el flanco de subida de STB indicando al microprocesador que controla el 8255 la presencia de un dato en el dispositivo. Vuelve a bajar a nivel lógico cero en el flanco de bajada de RD. Para el grupo A el flag INTE está activado si lo está el bit PC4 mientras que para el grupo B el bit INTE está activado si lo está el bit PC2. El modo de activar o desactivar dichos bits es el descrito anteriormente mediante el acceso individual al puerto C.

Si la configuración indicada establece el puerto de 8 bits como salida la descripción de los bits de control es la siguiente:

- /OBF*: Output Buffer Full Flag Output  
PC7 grupo A/PC1 grupo B  
Esta señal indica el estado de escritura en el puerto. Baja a nivel lógico cero en el flanco de subida de la señal de escritura */WR* volviendo al nivel lógico 1 en el flanco de bajada de la señal de respuesta del dispositivo ACK.
- /ACK*: Acknowledge Input  
PC6 grupo A/PC2 grupo B  
Esta señal de entrada permite al terminal indicar al controlador 8255 que ha recogido el dato que el sistema le envió. Para ello el terminal pondrá a cero esta entrada.

**INTR** Interrupt request output  
PC3 grupo A/PC0 grupo B  
La señal pasa a nivel alto en el flanco de subida de /ACK y pasa a nivel lógico cero en el flanco de bajada de /WR, siempre y cuando los correspondientes bits INTE estén habilitados. Para el primer grupo INTE<sub>A</sub> corresponde al bit PC6 mientras que para el segundo grupo INTE<sub>B</sub> corresponde al bit PC2.

---

### Modo dos

---

El modo 2 permite habilitar un puerto de 8 bits bidireccional. Solo es posible disponer de él con el grupo A. La descripción de los pines es la siguiente:

**/OBF** Output buffer full flag output  
PC7  
La señal pasa a nivel lógico cero en el flanco de subida de /WR y vuelve al nivel lógico uno en el flanco de bajada de /ACK. Indica a la CPU que ha recogido el dato.

**/ACK** Acknowledge input  
PC6  
La entrada habilita el puerto A del 8255 al pasar al nivel lógico cero. El dato escrito en el registro interno del 8255 pasa al puerto A y el terminal lo lee. Al volver al nivel lógico uno el puerto A vuelve de nuevo al estado de alta impedancia.

**/STB** Strobe input.  
PC4  
Cuando esta entrada pasa a nivel lógico bajo la salida de datos hacia el puerto desde los pines es enclavada en el registro interno. El dato sale por el bus de datos una vez se recibe la señal RD desde el microprocesador, si bien el bus permanece en alta impedancia hasta entonces.

**IBF** Input buffer full flag output  
PC5  
La señal pasa a nivel alto en el flanco de bajada de STB volviendo al nivel bajo en el flanco de subida de RD, indicando que el dato ha sido enclavado en el registro interno del 8255.

**INTR** Interrupt request output  
PC3  
Esta señal se emplea del mismo modo que en el modo de funcionamiento número 1. La diferencia estriba en que existen ahora dos bits INTE, uno para habilitar la interrupción en operaciones de salida (PC6) y otro para habilitar la interrupción en operaciones de entrada (PC4).

---

### Notas del autor

---

Si ha leído usted el artículo y puede aportar algún comentario, sugerencia o informar de alguna errata o incorrección cometida le estaré muy agradecido si me lo notifica. Mi buzón electrónico está abierto a todo aquel que desee expresar su opinión o realizar alguna pregunta.

---

### Aspectos legales del documento

---

El presente artículo está protegido por la ley general de derechos de autor. Puede ser distribuido gratuitamente siempre que la difusión se realice de modo íntegro respetando el formato y contenido del artículo. La venta o inclusión en publicaciones de pago está sujeta a previa autorización por parte del autor.

---

© Mario Emmanuel, 1 de Marzo de 1999

<http://web.jet.es/emmanuel>  
[emmanuel@jet.es](mailto:emmanuel@jet.es)

---